

ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE

Patent Number: JP5203918
Publication date: 1993-08-13
Inventor(s): WATANABE TAKAHIKO
Applicant(s): NEC CORP
Requested Patent: ☐ JP5203918
Application Number: JP19920003507 19920113
Priority Number(s):
IPC Classification: G02F1/133; G02F1/136; G09G3/36
EC Classification:
Equivalents: JP2989952B2

Abstract

PURPOSE: To prevent display sticking from being caused by the application of a conduction voltage to liquid crystal due to a difference in feedthrough offset depending upon the state of the liquid crystal in the driving of a liquid crystal display substrate by correcting the signal center voltage of an applied voltage with gradations.

CONSTITUTION: A digital driver selects an inputted gradation voltage through a switch and outputs it to the signal line of a liquid crystal display. The switch is selected by a control signal. Consequently, a gradation power circuit for driving inputs the output voltage 5, generated by adjusting the signal amplitude by a feedback resistance (VR1) 4 and the signal center voltage by an offset adjusting resistance (VR2) 3 for each gradation, to a digital driver to obtain a specific driving voltage. For the setting of the signal voltage, an optimum common source voltage of the respective gradations of a conventional driving method is found by flick component measurement using a spectrum analyzer and a correction value for the signal center voltage of each of the gradation is found on the basis of the optimum potential of the 0 gradation from a specific expression to obtain a specific driving voltage.

Data supplied from the esp@cenet database - I2

esp@cenet - Search result list

1/1 ページ

You looked for the following: (jp19920003507)<PR>

2 matching documents were found.

To see further result lists select a number from the JumpBar above.

Click on any of the Patent Numbers below to see the details of the patent

Basket	Patent	Title
<input type="checkbox"/>	0	Number
<input type="checkbox"/>	US5583532	Active matrix liquid crystal display for reproducing images on screen with floating image signal
<input type="checkbox"/>	JP5203918	ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE

To refine your search, click on the icon in the menu bar

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-203918

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0	7820-2K		
	5 7 5	7820-2K		
1/136	5 0 0	9018-2K		
G 0 9 G 3/36		7319-5G		

審査請求 未請求 請求項の数2(全 5 頁)

(21)出願番号 特願平4-3507

(22)出願日 平成4年(1992)1月13日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 渡辺 貴彦

東京都港区芝五丁目7番1号日本電気株式会社内

(74)代理人 弁理士 京本 直樹 (外2名)

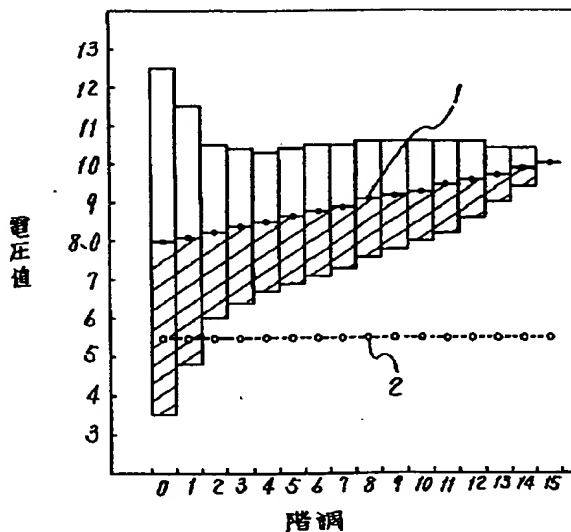
(54)【発明の名称】 アクティブマトリクス液晶表示装置

(57)【要約】

アクティブマトリクス液晶表示装置

【目的】 液晶表示用基板の駆動において液晶の状態によるフィードスルーオフセット違いによって液晶に直流電圧が印加され、表示焼き付きが起こるのを防止する。

【構成】 各階調の信号電圧中心1をフィードスルー差分だけオフセットを掛けることによって最適共通電極電圧値2を一定電圧にする。



1

【特許請求の範囲】

【請求項1】 少なくとも一方に薄膜トランジスタを有する二枚の電極基板間に液晶を挟持し、前記電極基板間の印加電圧を変化させることによって光の透過率を変化させて階調表示を行うアクティブマトリクス液晶表示装置において、前記印加電圧の信号中心電圧を階調によって補正することを特徴とするアクティブマトリクス液晶表示装置。

【請求項2】 前記印加電圧の振幅を小さくすることによって、前記印加電圧の信号中心電圧を大きくすることを特徴とする請求項1記載のアクティブマトリクス液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はアクティブマトリクス液晶表示装置に関し、特に薄膜トランジスタのゲートソース電極間の寄生容量とゲート電圧変化によって生じる表示電極電位の変化を信号電圧値で補正することを特徴とするアクティブマトリクス液晶表示装置に関する。

【0002】

【従来の技術】従来のアクティブマトリクス液晶表示装置の駆動電圧を図4、アクティブマトリクス液晶表示アレイ画素分の等価回路を図5、ゲート信号-表示電極電位の変化を図6、液晶の印加電圧-誘電率グラフを図7に示す。

【0003】従来の駆動方法は図4に示すように信号電圧中心11を8V一定として図5に示す信号線13に入力し、薄膜トランジスタ(TFT)15をゲート線14に入力するゲート信号18(図6参照)でON、OFFさせて任意のゲート線の表示電極容量(C_{lc})16に電圧を書き込んでいた。

【0004】図6に示すようにこの表示電極電位20はゲート信号18がオフする時のゲート振幅(V_G)19とゲートソース間寄生容量(C_{cs})17(図5参照)によってフィードスルー電圧(ΔV)21を生じる。

【0005】フィードスルー電圧(ΔV)はゲート振幅(V_G)、ゲートソース間寄生容量(C_{cs})、ゲート線の表示電極容量(C_{lc})によって(1)式の様に表される。

【0006】 $\Delta V = C_{cs} / C_{cs} + C_{lc} \times V_G$... (1) 40
この為、最適共通電極電位22は信号電圧中心23より ΔV だけ一側に設定し液晶に直流電圧を印加しない様にしていた。

【0007】しかし液晶は図7に示す様に印加される電圧によって誘電率 ϵ すなわちゲート線の表示電極容量(C_{lc})が変化しフィードスルー電圧(ΔV)が変化してしまう。いま印加電圧が4.5Vと0Vの時の ΔV を計算すると

(使用数値) $C_{cs} = 0.018 \text{ pF}$, $V_G = 20 \text{ V}$

C_{lc} (印加電圧4.5V) = 0.1 pF,

2

C_{lc} (印加電圧0) = 0.05 pF

ΔV (印加電圧4.5V) = $0.018 / 0.1 + 0.018 \times 20 = 2.5 \text{ (V)}$

ΔV (印加電圧0V) = $0.018 / 0.05 + 0.018 \times 20 = 4.5 \text{ (V)}$

となり印加電圧によってフィードスルー電圧(ΔV)が変化する為に最適共通電極電位12は図4に示される様に液晶印加電圧すなわち階調によって変化し傾きをもつことになる。

10 【0008】

【発明が解決しようとする課題】この従来のアクティブマトリクス液晶表示装置では信号電圧中心が一定に設定されていたので液晶の異方性による誘電率変化でフィードスルー電圧も変化してしまい、仮にある階調のフィードスルーオフセット電圧値にあわせて共通電極電位を設定すると他の階調では共通電極設定値と最適値にズレが生じて液晶に直流電圧が印加され、表示焼き付きもしくは液晶自体の破壊につながり、表示性能や信頼性を著しく低下させるという問題点があった。

20 【0009】

【課題を解決するための手段】本発明によれば、少なくとも一方に薄膜トランジスタを有する二枚の電極基板間に液晶を挟持し、電極基板間の印加電圧を変化させることによって光の透過率を変化させて階調表示を行うアクティブマトリクス液晶表示装置において、印加電圧の信号中心電圧を階調によって補正するアクティブマトリクス液晶表示装置が得られる。

【0010】更に本発明によれば、印加電圧の振幅を小さくすることによって、信号中心電圧を大きくするアクティブマトリクス液晶表示装置が得られる。

30 【0011】

【実施例】次に本発明について図面を参照して説明する。

【0012】本発明によりアクティブマトリクス液晶表示装置の第1の実施例の駆動方法による階調信号電圧設定値(例として16階調駆動で示す)を図1、本発明の駆動を実現する階調電源回路の第1の実施例を図2、デジタルドライバーによる液晶駆動用システムの第1の実施例を図3に示す。

【0013】図3におけるデジタルドライバー7は入力された階調電圧6をスイッチ10で選択して液晶ディスプレイ9の信号線へ出力する。(スイッチ10はコントロール信号8で選択される)この為図2の回路で信号振幅を帰還抵抗(V_{n1})3、信号中心電圧をオフセット調整抵抗(V_{n2})4で各階調毎に調整した出力電圧5をドライバーに入力して図1の駆動電圧を実現する。また、信号電圧の設定は図4に示す従来の駆動方法における各階調の最適共通電極電圧をスペクトラムアナライザーを用いたフリッカー成分測定によって求め、0階調の最適電位5.5Vを基準として各階調の信号中心電圧に対す

50

る補正値を(2)式によって与える。

【0014】 $-1 \times ((X \text{ 階調の最適共通電極電圧値}) - 5.5) = X \text{ 階調信号電圧補正値} \dots (2)$

(2)式によって求められた電圧値で補正を行ったものが図1の駆動電圧となる。

【0015】

【発明の効果】以上説明したように本発明は各階調信号中心に補正を掛けることにより共通電極電位に対する電圧ズレを無くすことにより液晶に直流電圧を印加することなく階調表示駆動が行えることになり焼き付き、液晶破壊の防止となる。

【図面の簡単な説明】

【図1】本発明によるアクティブマトリクス液晶表示装置の第1の実施例の駆動電圧を示す図である。

【図2】本発明による駆動用階調電源回路の第1の実施例を示す図である。

【図3】本発明によるデジタルドライバによる液晶表示装置駆動システムの第1の実施例を示す図である。

【図4】従来のアクティブマトリクス液晶表示装置の駆動電圧を示す図である。

【図5】従来のアクティブマトリクス液晶表示装置一画素分の等価回路図である。

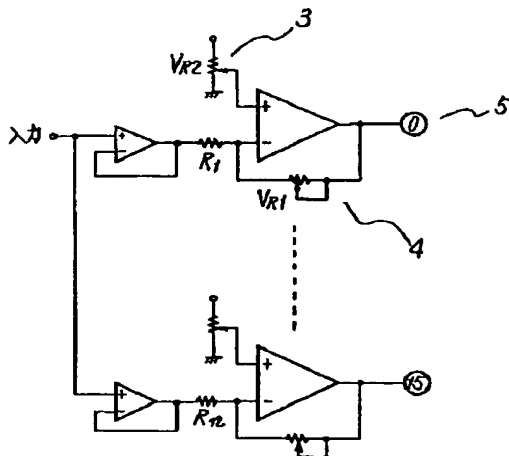
【図6】従来のゲート電圧-表示電極電位の変化を示す図である。

【図7】従来の液晶の印加電圧-誘電率特性図である。*

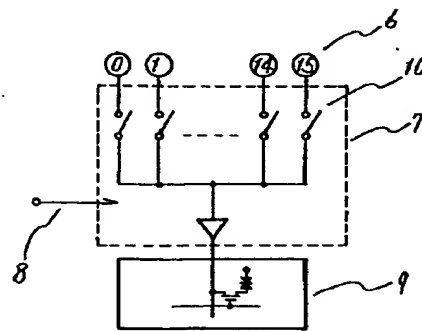
*【符号の説明】

- | | |
|----|-----------------|
| 1 | 信号中心電圧 |
| 2 | フィードスルーオフセット電圧値 |
| 3 | オフセット調整抵抗 |
| 4 | 信号電圧振幅調整抵抗 |
| 5 | 階調電源出力 |
| 6 | 階調電源入力 |
| 7 | デジタルドライバ |
| 8 | コントロール信号 |
| 9 | 液晶ディスプレイ |
| 10 | 選択用スイッチ |
| 11 | 信号中心電圧 |
| 12 | 最適共通電極電位 |
| 13 | 信号線 |
| 14 | ゲート線 |
| 15 | 薄膜トランジスタ |
| 16 | 表示電極容量 |
| 17 | ゲート-ソース間寄生容量 |
| 18 | ゲート電圧 |
| 19 | ゲート振幅 |
| 20 | 表示電極電位 |
| 21 | シフト電圧 |
| 22 | 共通電極電位 |
| 23 | 信号電圧中心 |

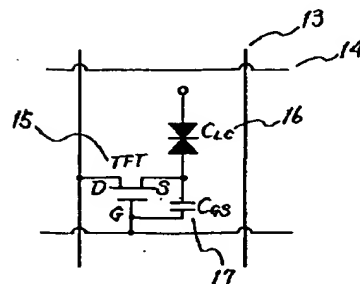
【図2】



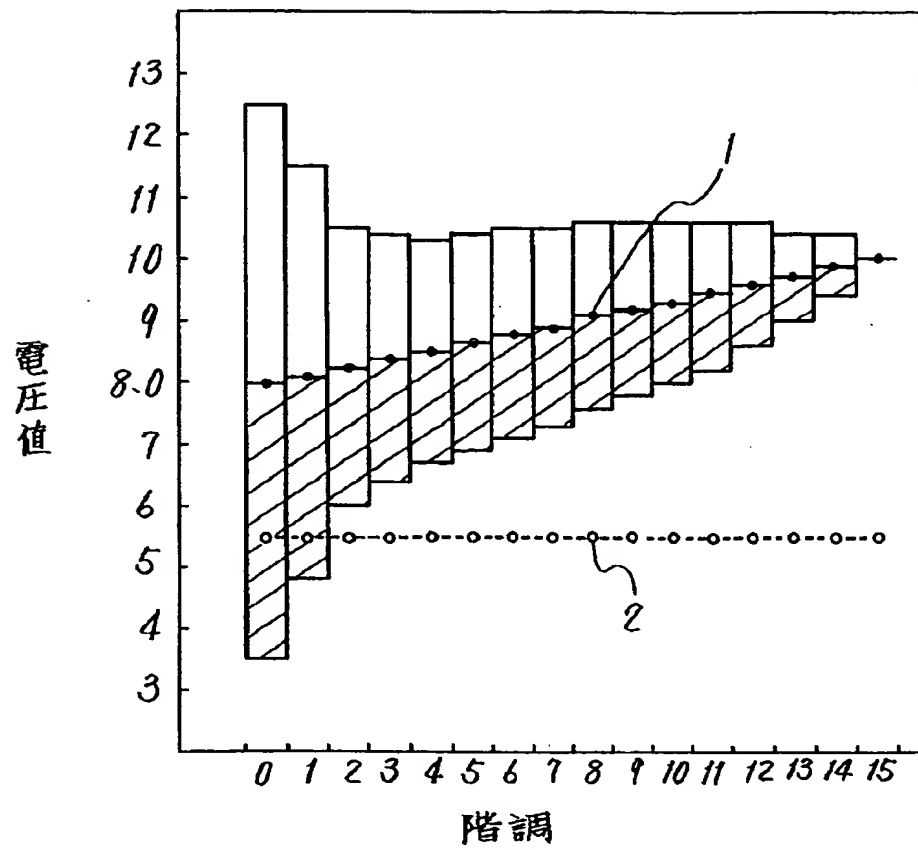
【図3】



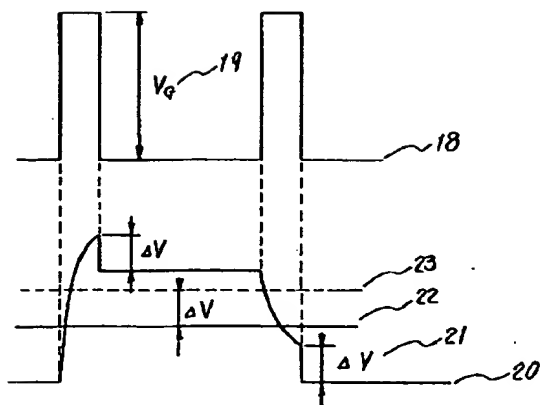
【図5】



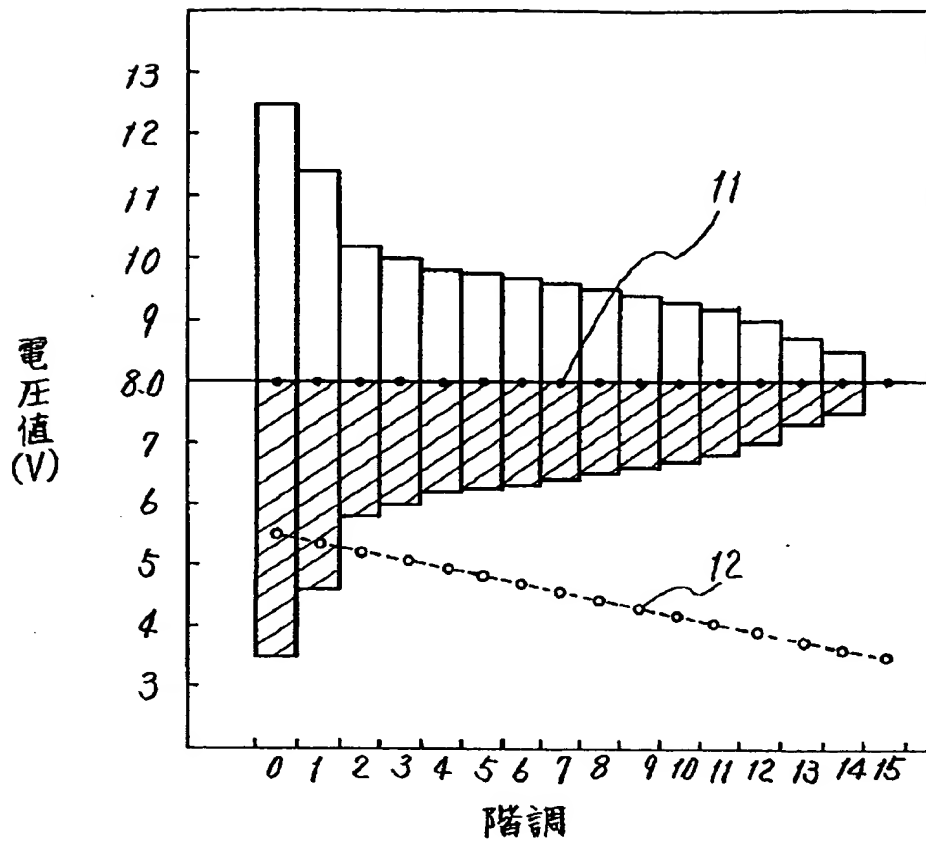
【図1】



【図6】



【図4】



【図7】

